



DOCKET NO.: 51876P594

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

CHANG-HO DO, ET AL.

Application No.: 10/788,683

Filed: February 27, 2004

For: **POWER-UP CIRCUIT IN
SEMICONDUCTOR MEMORY
DEVICE**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Applicant respectfully requests a convention priority for the above-captioned application, namely:

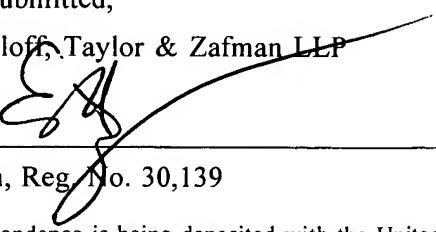
COUNTRY	APPLICATION NUMBER	DATE OF FILING
Republic of Korea	2003-99600	30 December 2003

A certified copy of the document is being submitted herewith.

Dated: April 2, 2004

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP


Eric S. Hyman, Reg. No. 30,139

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800

I hereby certify that this correspondence is being deposited with the United States Postal Service on the date shown below with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.


Nadya Gordon
04-02-04
Date



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0099600
Application Number

출 원 년 월 일 : 2003년 12월 30일
Date of Application DEC 30, 2003

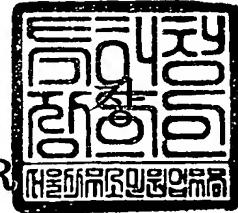
출 원 인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2004 년 02 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2003. 12. 30
【발명의 명칭】	반도체 메모리 소자의 파워업 회로
【발명의 영문명칭】	POWER UP CIRCUIT IN SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	도창호
【성명의 영문표기】	DO, Chang Ho
【주민등록번호】	700103-1696421
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1번지 현대전자아파트 101-1406
【국적】	KR
【발명자】	
【성명의 국문표기】	이재진
【성명의 영문표기】	LEE, Jae Jin
【주민등록번호】	631030-1380715
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 현대5차아파트 501-401
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
특허법인 신성 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	4	면	4,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	11	항	461,000	원
【합계】			494,000	원
【첨부서류】			1. 요약서·명세서(도면)_1통	

【요약서】**【요약】**

본 발명은 반도체 메모리 설계 기술에 관한 것으로, 특히 반도체 메모리 소자의 전원 회로에 관한 것이며, 더 자세히는 반도체 메모리 소자의 파워업 회로에 관한 것이다. 본 발명은 초기 동작시 파워업 신호의 비정상적인 조기 천이를 방지할 수 있는 반도체 메모리 소자의 파워업 회로를 제공하는데 그 목적이 있다. 본 발명에서는 반도체 메모리 소자의 초기 동작시 파워업 회로의 전원전압의 임계 레벨 감지를 위해 NMOS 트랜지스터의 문턱전압 특성에 의존하는 제1 전원전압 감지부와 PMOS 트랜지스터의 문턱전압 특성에 의존하는 제2 전원전압 감지부를 두고, 제1 및 제2 전원전압 감지부에서 모두 전원전압의 임계 레벨을 감지한 시점에서 파워업 신호가 천이되도록 제1 및 제2 전원전압 감지부의 출력신호를 논리조합하기 위한 논리조합부를 추가하였다. 이 경우, 파워업 동작시 항상 전원전압의 임계 레벨이 높은 전원전압 감지부의 출력에 응답하여 파워업 신호가 천이되므로 파워업 신호의 비정상적인 조기 천이를 방지할 수 있다.

【대표도】

도 3

【색인어】

반도체 메모리, 파워업 회로, 전원전압 감지부, 문턱전압, 논리조합부

【명세서】

【발명의 명칭】

반도체 메모리 소자의 파워업 회로{POWER UP CIRCUIT IN SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1은 종래기술에 따른 파워업 회로를 나타낸 도면.

도 2는 상기 도 1에 도시된 파워업 회로의 타이밍 다이어그램.

도 3은 본 발명의 일 실시예에 따른 반도체 메모리 소자의 파워업 회로를 나타낸 도면.

도 4는 본 발명의 다른 실시예에 따른 반도체 메모리 소자의 파워업 회로를 나타낸

도면.

* 도면의 주요 부분에 대한 부호의 설명

200 : 전원전압 레벨 팔로워부

210a : 제1 전원전압 감지부

210b : 제2 전원전압 감지부

220 : 논리조합부

230 : 버퍼부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<11> 본 발명은 반도체 메모리 설계 기술에 관한 것으로, 특히 반도체 메모리 소자의 전원 회로에 관한 것이며, 더 자세히는 반도체 메모리 소자의 파워업 회로에 관한 것이다.

<12> 반도체 메모리 소자에는 다양한 형태의 로직들과 안정적인 소자 동작을 보증하기 위한 내부전원 발생 블럭이 존재한다. 이 로직들은 메모리 소자에 전원이 공급되어 본격적으로 동작하기 이전에 특정한 값으로 초기화되어 있어야 한다. 또한, 내부전원의 경우, 메모리 내부 로직의 전원 단자에 바이어스를 공급하게 되는데, 이들 내부전원이 전원전압(VDD) 인가시 적정한 전압 레벨을 갖지 못하면 래치-업(latch-up)과 같은 문제가 발생되어 소자의 신뢰성(reliability)을 보장하기 어렵다. 이처럼 메모리 내부 로직의 초기화와 내부전원의 불안정에 의한 래치-업을 방지하기 위하여 반도체 메모리 소자 내부에 파워업 회로를 구비하고 있다.

<13> 파워업 회로는 반도체 메모리 소자의 초기화 동작시 외부로부터 전원전압(VDD)이 인가되는 순간 메모리 내부 로직들이 곧바로 전원전압(VDD)의 레벨에 응답하여 동작하지 않고 전원전압(VDD)의 레벨이 임계 레벨 이상으로 상승한 시점 이후에 동작하도록 한다.

<14> 파워업 회로의 출력신호인 파워업 신호는 외부로부터 인가된 전원전압(VDD)의 레벨 상승을 감지하여 전원전압(VDD)이 임계 레벨보다 낮은 구간에서는 논리레벨 로우(low) 상태를 유지하다가 전원전압(VDD)이 임계 레벨 이상으로 안정화되면 논리레벨 하이(high)로 전이된다. 이와 반대로, 외부로부터 인가되는 전원전압(VDD)의 레벨이 낮아지는 경우, 파워업 신호는 전원

전압(VDD)이 임계 레벨보다 높은 구간에서는 그대로 논리레벨 하이 상태를 유지하다가 전원전압(VDD)이 임계 레벨 이하로 떨어지게 되면 다시 논리레벨 로우로 천이된다.

<15> 통상적으로, 전원전압(VDD)이 인가된 후 파워업 신호가 논리레벨 로우 상태일 때 메모리 내부 로직에 포함된 래치들이 예정된 값으로 초기화되며, 내부전원 발생 블럭의 초기화 또한 이때 수행된다.

<16> 한편, 파워업 신호가 천이하는 전원전압(VDD)의 임계 레벨은 모든 로직들이 정상적인 스위칭 동작을 수행하기 위한 전압 레벨로서, NMOS 트랜지스터의 문턱전압과 PMOS 트랜지스터의 문턱전압 중 높은 값을 기준으로 일정 부분 더 마진을 가지도록 설계한다. 이 마진의 정도는 파워업 트리거 레벨을 문턱전압 정도로 설정하면 일반적인 디지털 로직의 경우에는 초기화에 문제가 없지만, 아날로그 회로로 구성된 내부전원 회로(예컨대, VPP 발생기와 같은 승압전원 발생 회로)의 경우에는 동작 효율이 떨어져 파워업 트리거 이후 래치-업을 유발할 수 있다. 이러한 이유로 파워업 트리거 레벨을 이를 아날로그 회로들이 안정적인 값을 생성할 수 있도록 문턱전압보다 일정 정도 더 마진을 가지도록 하는 것이다.

<17> 도 1은 종래기술에 따른 파워업 회로를 나타낸 도면이다.

<18> 도 1을 참조하면, 종래기술에 따른 파워업 회로는, 전원전압(VDD)과 접지전압(VSS)를 이용하여 전원전압(VDD)의 레벨 변화에 따라 선형적으로 변화하는 바이어스 전압(Va)을 제공하기 위한 전원전압 레벨 팔로워부(100)와, 바이어스 전압(Va)에 응답하여 전원전압(VDD)의 임계 레벨로의 변화를 감지하기 위한 전원전압 감지부(110)와, 전원전압 감지부(110)로부터 출력된 감지신호를 버퍼링하여 파워업 신호(pwrup)를 출력하기 위한 버퍼부(120)를 구비한다.

<19> 여기서, 전원전압 레벨 팔로워부(100)는 전원전압단(VDD)과 접지전압단(VSS) 사이에 제공되어 전압 디바이더를 구성하는 제1 및 제2 저항(R1 및 R2)를 구비한다.

<20> 그리고, 전원전압 감지부(110)는 전원전압단(VDD)과 노드 N1 사이에 접속되며 접지전압(VSS)을 게이트 입력으로 하는 PMOS 트랜지스터(MP0)와, 접지전압단(VSS)과 노드 N1 사이에 접속되며 바이어스 전압(Va)을 게이트 입력으로 하는 NMOS 트랜지스터(MN0)와, 노드 N1로부터 출력된 감지신호(det)를 입력으로 하는 인버터(INV0)를 구비한다. 여기서, 접지전압(VSS)을 게이트 입력으로 하는 PMOS 트랜지스터(MP0)는 PMOS 트랜지스터(MP0)의 유효 저항값과 동일한 유효 저항값을 가지는 다른 로드 소자로 대체할 수 있다.

<21> 한편, 버퍼부(120)는 전원전압 감지부(110)로부터 출력된 감지신호의 반전신호(detb)를 입력으로 하는 인버터 체인 - 4개의 인버터(INV1, INV2, INV3, INV4)로 구현됨 - 을 구비한다.

<22> 도 2는 상기 도 1에 도시된 파워업 회로의 타이밍 다이어그램이다.

<23> 도 2를 참조하면, 전원전압 레벨 팔로워부(100)의 출력신호인 바이어스 전압(Va)은 하기의 수학식 1에 따라 변화하게 된다.

<24> 【수학식 1】 $Va = (R2/(R1+R2)) \times VDD$

<25> 즉, 전원전압(VDD) 레벨이 증가함에 따라 바이어스 전압(Va)이 전원전압 감지부(110)의 NMOS 트랜지스터(MN0)의 문턱전압 이상으로 증가하게 되면 NMOS 트랜지스터(MN0)가 턴온되어 로드로 작용하는 PMOS 트랜지스터(MP0)와 NMOS 트랜지스터(MN0)에 흐르는 전류량의 변화에 따라 감지신호(det)의 레벨이 변화하게 된다.

<26> 감지신호(det)는 초기에 NMOS 트랜지스터(MN0)가 턴오프되어 있기 때문에 전원전압(VDD)을 따라 증가한다. 한편, 바이어스 전압(Va)이 증가할수록 NMOS 트랜지스터(MN0)의 전류 구동력이 증가하면서 전원전압(VDD)의 특정 레벨에서 감지신호(det)가 로우로 천이하게 되는데, 이 과정에서 감지신호(det)의 레벨이 인버터(INV0)의 로직 문턱값을 넘어서게 되면 비로소 인버터(INV0)의 출력신호(detb)가 천이하면서 전원전압(VDD) 레벨을 따라 증가하게 된다.

<27> 한편, 인버터(INV0)의 출력신호(detb)는 버퍼부(120)에서 버퍼링되어 파워업 신호(pwrup)를 논리레벨 로우에서 하이로 천이하게 만든다.

<28> 그런데, 상기와 같은 종래의 파워업 회로는 전원전압 감지부(110)에서 NMOS 트랜지스터(MN0)의 문턱전압 특성에 의존하여 파워업 신호(pwrup)가 천이되는 전원전압(VDD)의 임계 레벨을 결정하고 있다. 이와 같은 경우, 반도체 메모리 소자의 소자 특성이 안정화되지 않은 경우(예컨대, 공정에 의한 변동이 있는 경우), PMOS 트랜지스터의 문턱전압을 넘지 못하는 전원전압(VDD) 레벨에서 파워업 신호(pwrup)가 천이되어 반도체 메모리 소자의 초기화가 불안정하게 되고, 이는 반도체 메모리 소자의 오동작을 유발하는 요인이다.

【발명이 이루고자 하는 기술적 과제】

<29> 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 초기 동작 시 파워업 신호의 비정상적인 초기 천이를 방지할 수 있는 반도체 메모리 소자의 파워업 회로를 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<30> 상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 전원전압의 레벨 변화에 따라 선형적으로 변화하는 제1 및 제2 바이어스 전압을 제공하기 위한 전원전압 레벨 팔로워부; 상기 제1 바이어스 전압에 응답하여 NMOS 트랜지스터의 문턱전압에 대응하는 상기 전원전압의 제1 임계 레벨로의 변화를 감지하기 위한 제1 전원전압 감지부; 상기 제2 바이어스 전압에 응답하여 PMOS 트랜지스터의 문턱전압에 대응하는 상기 전원전압의 제2 임계 레벨로의 변화를 감지하기 위한 제2 전원전압 감지부; 및 상기 제1 및 제2 전원전압 감지부로부터 출력된 제1 및 제2 감지신호를 논리조합하여 상기 전원전압이 제1 및 제2 임계 레벨을 모두 만족하는 시점에 활성화되는 확인신호를 출력하기 위한 논리조합부를 구비하는 반도체 메모리 소자의 파워업 회로가 제공된다.

<31> 바람직하게, 상기 확인신호를 버퍼링하여 파워업 신호를 출력하기 위한 버퍼부를 더 구비한다.

<32> 바람직하게, 상기 전원전압 레벨 팔로워부는, 전원전압단과 접지전압단 사이에 제공되어 전압 디바이더를 구성하는 제1 내지 제3 로드 소자를 구비하며, 상기 제1 로드 소자와 상기 제2 로드 소자의 공통 노드로 상기 제1 바이어스 전압을 출력하고, 상기 제2 로드 소자와 제3 로드 소자의 공통 노드로 상기 제2 바이어스 전압을 출력한다.

<33> 바람직하게, 상기 전원전압 레벨 팔로워부는, 전원전압단과 접지전압단 사이에 제공되어 전압 디바이더를 구성하는 제1 및 제2 로드 소자를 포함하는 제1 전원전압 레벨 팔로워와, 전원전압단과 접지전압단 사이에 제공되어 전압 디바이더를 구성하는 제3 및 제4 로드 소자를 포함하는 제2 전원전압 레벨 팔로워를 구비한다.

<34> 바람직하게, 상기 제1 전원전압 감지부는, 전원전압단과 제1 노드 사이에 접속된 제1 로드 소자; 접지전압단과 상기 제1 노드 사이에 접속되며 상기 제1 바이어스 전압을 게이트 입력으로 하는 NMOS 트랜지스터; 및 상기 제1 노드에 접속된 제1 인버터를 구비한다.

<35> 바람직하게, 상기 제1 로드 소자는 상기 전원전압단과 상기 제1 노드 사이에 접속되며 상기 접지전압을 게이트 입력으로 하는 PMOS 트랜지스터로 구현한다.

<36> 바람직하게, 상기 제2 전원전압 감지부는, 상기 접지전압단과 제2 노드 사이에 접속된 제2 로드 소자; 상기 전원전압단과 제2 노드 사이에 접속되며 상기 제2 바이어스 전압을 게이트 입력으로 하는 PMOS 트랜지스터; 상기 제2 노드에 접속된 제2 인버터; 및 상기 제2 인버터의 출력신호를 입력으로 하는 제3 인버터를 구비한다.

<37> 바람직하게, 상기 제2 로드 소자는 상기 접지전압단과 상기 제2 노드 사이에 접속되며 상기 전원전압을 게이트 입력으로 하는 NMOS 트랜지스터로 구현한다.

<38> 바람직하게, 상기 논리조합부는, 상기 제1 감지신호와 상기 제2 감지신호를 입력으로 하는 낸드 게이트와, 상기 낸드 게이트의 출력신호를 입력으로 하는 제4 인버터를 구비한다.

<39> 바람직하게, 상기 논리조합부는, 상기 제1 감지신호와 상기 제2 감지신호를 입력으로 하는 노아 게이트를 구비한다.

<40> 바람직하게, 상기 버퍼부는 상기 확인신호를 입력으로 하는 인버터 체인을 구비한다.

<41> 본 발명에서는 반도체 메모리 소자의 초기 동작시 파워업 회로의 전원전압의 임계 레벨 감지를 위해 NMOS 트랜지스터의 문턱전압 특성에 의존하는 제1 전원전압 감지부와 PMOS 트랜지스터의 문턱전압 특성에 의존하는 제2 전원전압 감지부를 두고, 제1 및 제2 전원전압 감지부에서 모두 전원전압의 임계 레벨을 감지한 시점에서 파워업 신호가 천이되도록 제1 및 제2 전원

전압 감지부의 출력신호를 논리조합하기 위한 논리조합부를 추가하였다. 이 경우, 파워업 동작 시 항상 전원전압의 임계 레벨이 높은 전원전압 감지부의 출력에 응답하여 파워업 신호가 천이 되므로 파워업 신호의 비정상적인 조기 천이를 방지할 수 있다.

<42> 이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.

<43> 도 3은 본 발명의 일 실시예에 따른 반도체 메모리 소자의 파워업 회로를 나타낸 도면이다.

도 3을 참조하면, 본 실시예에 따른 반도체 메모리 소자의 파워업 회로는, 전원전압(VDD)과 접지전압(VSS)를 이용하여 전원전압(VDD)의 레벨 변화에 따라 선형적으로 변화하는 제1 및 제2 바이어스 전압(V1 및 V2)을 제공하기 위한 전원전압 레벨 팔로워부(200)와, 제1 바이어스 전압(V1)에 응답하여 전원전압(VDD)의 NMOS 트랜지스터의 문턱전압에 대응하는 제1 임계레벨로의 변화를 감지하기 위한 제1 전원전압 감지부(210a)와, 제2 바이어스 전압(V2)에 응답하여 전원전압(VDD)의 PMOS 트랜지스터의 문턱전압에 대응하는 제2 임계 레벨로의 변화를 감지하기 위한 제2 전원전압 감지부(210b)와, 제1 및 제2 전원전압 감지부(210a 및 210b)로부터 출력된 제1 및 제2 감지신호를 논리조합하여 전원전압(VDD)이 제1 및 제2 임계 레벨을 모두 만족하는 시점에 활성화되는 확인신호(det_confirm)를 출력하기 위한 논리조합부(220)와, 확인신호(det_confirm)를 베퍼링하여 파워업 신호(pwrup)를 출력하기 위한 베퍼부(230)를 구비한다.

<45> 본 실시예에 따른 파워업 회로의 구성을 보다 상세하게 살펴보면, 우선 전원전압 레벨 팔로워부(200)는 전원전압단(VDD)과 접지전압단(VSS) 사이에 제공되어 전압 디바이더를 구성하는 제1 내지 제3 저항(R1, R2, R3)를 구비한다. 여기서, 제1 내지 제3 저항(R1, R2, R3) 각각은 도면과 같이 수동 소자로 구현할 수 있을 뿐만 아니라, MOS 트랜지스터와 같은 능동 소자로 구현할 수 있다.

<46> 그리고, 제1 전원전압 감지부(210a)는 전원전압단(VDD)과 노드 N2 사이에 접속된 제1 로드 저항(R_load1)과, 접지전압단(VSS)과 노드 N2 사이에 접속되며 제1 바이어스 전압(V1)을 게이트 입력으로 하는 NMOS 트랜지스터(MN1)와, 노드 N2로부터 출력된 제1 감지신호(det1)를 입력으로 하는 인버터(INV5)를 구비한다. 여기서, 제1 로드 저항(R_load1)은 상기 도 1에 도시된 바와 같이 전원전압단(VDD)과 노드 N2 사이에 접속되며 접지전압(VSS)을 게이트 입력으로 하는 PMOS 트랜지스터와 같은 다른 로드 소자로 대체할 수 있다.

<47> 또한, 제2 전원전압 감지부(210b)는 접지전압단(VSS)과 노드 N3 사이에 접속된 제2 로드 저항(R_load2)과, 전원전압단(VDD)과 노드 N3 사이에 접속되며 제2 바이어스 전압(V2)을 게이트 입력으로 하는 PMOS 트랜지스터(MP1)와, 노드 N3로부터 출력된 제2 감지신호(det2)를 입력으로 하는 인버터(INV6)와, 인버터(INV6)의 출력신호를 입력으로 하는 인버터(INV7)를 구비한다. 여기서, 제2 로드 저항(R_load2)은 접지전압단(VSS)과 노드 N3 사이에 접속되며 전원전압(VDD)을 게이트 입력으로 하는 NMOS 트랜지스터와 같은 다른 로드 소자로 대체할 수 있다.

<48> 한편, 논리조합부(220)는 제1 및 제2 전원전압 감지부(210a 및 210b)의 출력신호(det1b 및 det2d)를 입력으로 하는 낸드 게이트(NAND1)와, 낸드 게이트(NAND1)의 출력을 입력으로 하는 인버터(INV8)를 구비한다. 예시된 논리조합부(220)는 제1 및 제2 전원전압 감지부(210a 및 210b)의 출력신호(det1b 및 det2d)가 하이 액티브 신호이며 확인신호(det_confirm)가 하이 액

티브 신호인 경우를 전제로 한 것으로, 신호들의 액티브 행태가 달라지면 논리조합부(220)를 다른 논리 게이트로 구현해야 한다. 예컨대, 제1 및 제2 전원전압 감지부(210a 및 210b)의 출력신호(det1b 및 det2d)가 모두 로우 액티브 신호이고, 확인신호(det_confirm)가 하이 액티브 신호인 경우라면 노아 게이트 하나로 논리조합부(220)를 구현할 수 있다.

<49> 또한, 버퍼부(230)는 논리조합부(220)로부터 출력된 확인신호(det_confirm)를 입력으로 하는 인버터 체인 - 2개의 인버터(INV9, INV10)로 구현됨 - 을 구비한다.

<50> 이하, 본 실시예에 따른 파워업 회로의 동작을 살펴본다.

<51> 먼저, 전원전압 레벨 팔로워부(200)로부터 출력되는 제1 및 제2 바이어스 전압(V1 및 V2)은 하기의 수학식 2 및 3과 같이 변화하게 된다.

<52> 【수학식 2】 $V1 = ((R2+R3)/(R1+R2+R3)) \times VDD$

<53> 【수학식 3】 $V2 = (R3/(R1+R2+R3)) \times VDD$

<54> 즉, 제1 전원전압 감지부(210a)에서는 전원전압(VDD)이 인가되어 그 레벨이 증가함에 따라 제1 바이어스 전압(V1)이 NMOS 트랜지스터(MN1)의 문턱전압 이상으로 증가하게 되면 NMOS 트랜지스터(MN1)가 턴온되어 제1 로드 저항(R_load1)과 NMOS 트랜지스터(MN1)에 흐르는 전류량의 변화에 따라 제1 감지신호(det1)의 레벨이 변화하게 된다. 제1 감지신호(det1)는 초기에 NMOS 트랜지스터(MN1)가 턴오프되어 있기 때문에 전원전압(VDD)을 따라 증가하게 된다. 한편, 제1 바이어스 전압(V1)이 NMOS 트랜지스터(MN1)의 문턱전압 이상이 되면 제1 감지신호(det1)가

로우로 천이하게 되는데, 이 과정에서 제1 감지신호(det1)의 레벨이 인버터(INV5)의 로직 문턱값을 넘어서게 되면 비로소 인버터(INV5)의 출력신호(det1b)가 논리레벨 하이로 천이하면서 전원전압(VDD) 레벨을 따라 증가하게 된다.

<55> 한편, 제2 전원전압 감지부(210b)도 전술한 제1 전원전압 감지부(210a)와 같은 원리로 동작한다. 즉, 제2 바이어스 전압(V2)이 PMOS 트랜지스터(MP1)의 문턱전압의 절대값을 넘어서면 제2 감지신호(det2)가 하이로 천이하게 되는데, 이 과정에서 제2 감지신호(det2)의 레벨이 인버터(INV6)의 로직 문턱값을 넘어서게 되면 비로소 인버터(INV7)의 출력신호(det2d)가 논리레벨 하이로 천이하면서 전원전압(VDD) 레벨을 따라 증가하게 된다.

<56> 한편, NMOS 트랜지스터의 문턱전압 특성과 PMOS 트랜지스터의 문턱전압 특성이 서로 다르기 때문에 제1 및 제2 전원전압 감지부(210a, 210b)의 출력신호(det1b 및 det2d)의 논리레벨 하이로의 천이 시점은 서로 다르게 나타날 것이다.

<57> 만일, 두 신호(det1b 및 det2d)가 모두 논리레벨 로우 상태인 경우에는 논리조합부(220)의 출력신호인 확인신호(det_confirm)는 논리레벨 로우 상태를 나타낸다. 한편, 두 신호(det1b 및 det2d) 중 어느 하나가 논리레벨 하이이고 나머지 하나가 논리레벨 로우인 경우에도 확인신호(det_confirm)는 논리레벨 로우 상태를 유지하게 된다. 두 신호(det1b 및 det2d)가 모두 논리레벨 하이로 천이된 시점에서 비로소 확인신호(det_confirm)는 논리레벨 하이로 천이하게 된다.

<58> 이후 확인신호(det_confirm)는 버퍼부(230)에서 버퍼링되어 파워업 신호(pwrup)를 논리레벨 로우에서 하이로 천이하게 만든다.

<59> 따라서, 본 실시예에 따르면, 파워업 동작시 전원전압(VDD) 레벨이 NMOS 트랜지스터의 문턱전압에 대응하는 제1 임계 레벨과 PMOS 트랜지스터의 문턱전압에 대응하는 제2 임계 레벨 중 높은 전압 레벨에 이르렀을 때 비로소 파워업 신호(pwrup)가 천이하게 된다. 그러므로, 본 실시예에 따른 파워업 회로를 적용하는 경우, 공정 변화 등에 의해 파워업 신호(pwrup)가 비정상적으로 조기 천이되는 것을 방지할 수 있으며, 이에 따라 반도체 메모리 소자의 오동작을 방지할 수 있게 된다.

<60> 도 4는 본 발명의 다른 실시예에 따른 반도체 메모리 소자의 파워업 회로를 나타낸 도면이다.

<61> 도 4를 참조하면, 본 실시예에 따른 반도체 메모리 소자의 파워업 회로는, 전원전압(VDD)과 접지전압(VSS)를 이용하여 전원전압(VDD)의 레벨 변화에 따라 선형적으로 변화하는 제1 바이어스 전압(V1)을 제공하기 위한 제1 전원전압 레벨 팔로워부(300a)와, 전원전압(VDD)과 접지전압(VSS)를 이용하여 전원전압(VDD)의 레벨 변화에 따라 선형적으로 변화하는 제2 바이어스 전압(V2)을 제공하기 위한 제2 전원전압 레벨 팔로워부(300b)와, 제1 바이어스 전압(V1)에 응답하여 전원전압(VDD)의 NMOS 트랜지스터의 문턱전압에 대응하는 제1 임계 레벨로의 변화를 감지하기 위한 제1 전원전압 감지부(310a)와, 제2 바이어스 전압(V2)에 응답하여 전원전압(VDD)의 PMOS 트랜지스터의 문턱전압에 대응하는 제2 임계 레벨로의 변화를 감지하기 위한 제2 전원전압 감지부(310b)와, 제1 및 제2 전원전압 감지부(310a 및 310b)로부터 출력된 제1 및 제2 감지신호를 논리조합하여 전원전압(VDD)이 제1 및 제2 임계 레벨을 모두 만족하는 시점에 활성화되는 확인신호(det_confirm)를 출력하기 위한 논리조합부(320)와, 확인신호(det_confirm)를 버퍼링하여 파워업 신호(pwrup)를 출력하기 위한 버퍼부(330)를 구비한다.

<62> 즉, 본 실시예에 따른 파워업 회로는 전원전압(VDD)의 전압 레벨 변화에 따라 선형적으로 변화하는 제1 및 제2 바이어스 전압(V1 및 V2)을 생성하기 위한 전원전압 레벨 팔로워부를 별도의 회로로 구현하였다. 따라서, 제1 및 제2 전원전압 레벨 팔로워부(300a 및 300b)를 제외한 나머지 제1 전원전압 감지부(310a), 제2 전원전압 감지부(310b), 논리조합부(320), 버퍼부(330) 등의 구성은 전술한 일 실시예와 동일하며, 이에 상기 도 3과 동일한 엘리먼트에 대해서는 동일한 도면부호를 사용하였다.

<63> 한편, 제1 전원전압 레벨 팔로워부(300a)는 전원전압단(VDD)과 접지전압단(VSS) 사이에 제공되어 전압 디바이더를 구성하는 2개의 저항(R11 및 R21)를 구비하며, 제2 전원전압 레벨 팔로워부(300b)는 전원전압단(VDD)과 접지전압단(VSS) 사이에 제공되어 전압 디바이더를 구성하는 2개의 저항(R12 및 R22)을 구비한다. 여기서, 제1 전원전압 레벨 팔로워부(300a)에서 저항 R11 및 R21의 저항값은 $(R21/(R11+R21))$ 값이 상기 일 실시예에 따른 $((R1+R2)/(R1+R2+R3))$ 값과 동일하게 설정하면 되며, 제2 전원전압 레벨 팔로워부(300b)에서 저항 R12 및 R22의 저항값은 $(R22/(R12+R22))$ 값이 상기 일 실시예에 따른 $(R3/(R1+R2+R3))$ 값과 동일하게 설정하면 된다.

<64> 본 실시예에 따른 파워업 회로의 동작 및 작용효과는 전술한 일 실시예의 동작과 동일하므로 동작 설명은 생략하기로 한다.

<65> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

<66> 예컨대, 전술한 실시예에서는 버퍼부를 배치하는 경우를 일례로 들어 설명하였으나, 경우에 따라 별도의 버퍼부를 배치하지 않을 수도 있다. 이 경우, 확인신호(confirm)가 파워업 신호(pwrup)가 될 것이다.

【발명의 효과】

<67> 전술한 본 발명은 공정 변화 등에 의해 파워업 신호가 비정상적으로 조기 천이되는 것을 방지할 수 있으며, 이에 따라 반도체 메모리 소자의 오동작을 방지할 수 있다. 한편, 이러한 효과는 특히, 최근 이슈화되고 있는 낮은 동작전압을 사용하는 반도체 메모리 소자에 적용시 가장 부각될 수 있을 것이다.

【특허청구범위】**【청구항 1】**

전원전압의 레벨 변화에 따라 선형적으로 변화하는 제1 및 제2 바이어스 전압을 제공하기 위한 전원전압 레벨 팔로워부;

상기 제1 바이어스 전압에 응답하여 NMOS 트랜지스터의 문턱전압에 대응하는 상기 전원전압의 제1 임계 레벨로의 변화를 감지하기 위한 제1 전원전압 감지부;

상기 제2 바이어스 전압에 응답하여 PMOS 트랜지스터의 문턱전압에 대응하는 상기 전원전압의 제2 임계 레벨로의 변화를 감지하기 위한 제2 전원전압 감지부; 및

상기 제1 및 제2 전원전압 감지부로부터 출력된 제1 및 제2 감지신호를 논리조합하여 상기 전원전압이 제1 및 제2 임계 레벨을 모두 만족하는 시점에 활성화되는 확인신호를 출력하기 위한 논리조합부

를 구비하는 반도체 메모리 소자의 파워업 회로.

【청구항 2】

제1항에 있어서,

상기 확인신호를 버퍼링하여 파워업 신호를 출력하기 위한 버퍼부를 더 구비하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 3】

제1항에 있어서,

상기 전원전압 레벨 팔로워부는,

전원전압단과 접지전압단 사이에 제공되어 전압 디바이더를 구성하는 제1 내지 제3 로드 소자를 구비하여, 상기 제1 로드 소자와 상기 제2 로드 소자의 공통 노드로 상기 제1 바이어스 전압을 출력하고, 상기 제2 로드 소자와 제3 로드 소자의 공통 노드로 상기 제2 바이어스 전압을 출력하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 4】

제1항에 있어서,

상기 전원전압 레벨 팔로워부는,

전원전압단과 접지전압단 사이에 제공되어 전압 디바이더를 구성하는 제1 및 제2 로드 소자를 포함하는 제1 전원전압 레벨 팔로워와,

전원전압단과 접지전압단 사이에 제공되어 전압 디바이더를 구성하는 제3 및 제4 로드 소자를 포함하는 제2 전원전압 레벨 팔로워를 구비하는 것을 특징으로 하는 반도체 메모리 소자.

【청구항 5】

제1항에 있어서,

상기 제1 전원전압 감지부는,

전원전압단과 제1 노드 사이에 접속된 제1 로드 소자;

접지전압단과 상기 제1 노드 사이에 접속되며 상기 제1 바이어스 전압을 게이트 입력으로 하는 NMOS 트랜지스터; 및

상기 제1 노드에 접속된 제1 인버터를 구비하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 6】

제5항에 있어서,

상기 제1 로드 소자는 상기 전원전압단과 상기 제1 노드 사이에 접속되며 상기 접지전압을 게이트 입력으로 하는 PMOS 트랜지스터로 구현하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 7】

제5항에 있어서,

상기 제2 전원전압 감지부는,

상기 접지전압단과 제2 노드 사이에 접속된 제2 로드 소자;

상기 전원전압단과 제2 노드 사이에 접속되며 상기 제2 바이어스 전압을 게이트 입력으로 하는 PMOS 트랜지스터;

상기 제2 노드에 접속된 제2 인버터; 및

상기 제2 인버터의 출력신호를 입력으로 하는 제3 인버터를 구비하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 8】

제7항에 있어서,

상기 제2 로드 소자는 상기 접지전압단과 상기 제2 노드 사이에 접속되며 상기 전원전압을 게이트 입력으로 하는 NMOS 트랜지스터로 구현하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 9】

제7항에 있어서,

상기 논리조합부는,

상기 제1 감지신호와 상기 제2 감지신호를 입력으로 하는 낸드 게이트와,
상기 낸드 게이트의 출력신호를 입력으로 하는 제4 인버터를 구비하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【청구항 10】

제1항에 있어서,

상기 논리조합부는,

상기 제1 감지신호와 상기 제2 감지신호를 입력으로 하는 노아 게이트를 구비하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

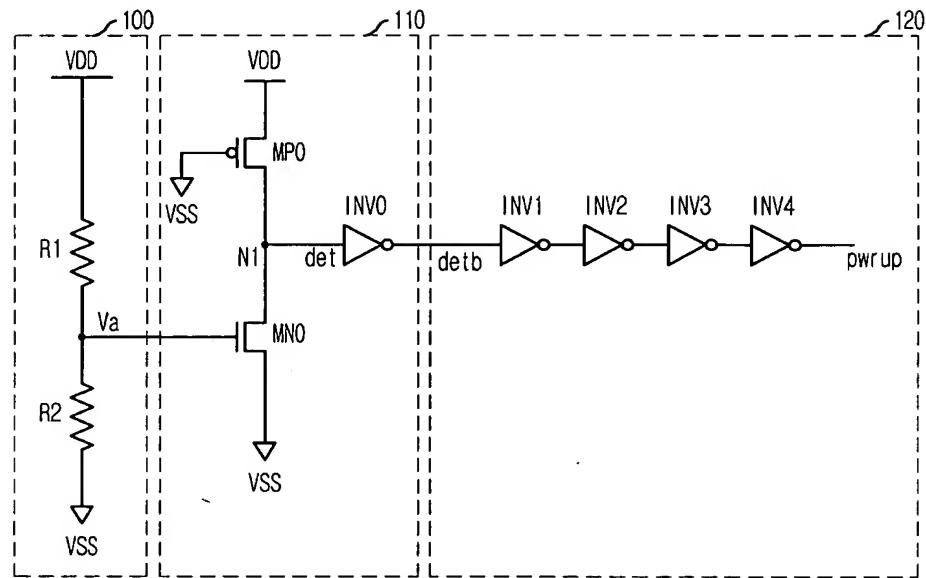
【청구항 11】

제2항에 있어서,

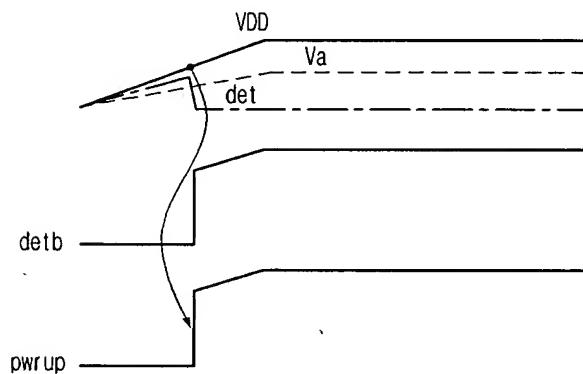
상기 버퍼부는 상기 확인신호를 입력으로 하는 인버터 체인을 구비하는 것을 특징으로 하는 반도체 메모리 소자의 파워업 회로.

【도면】

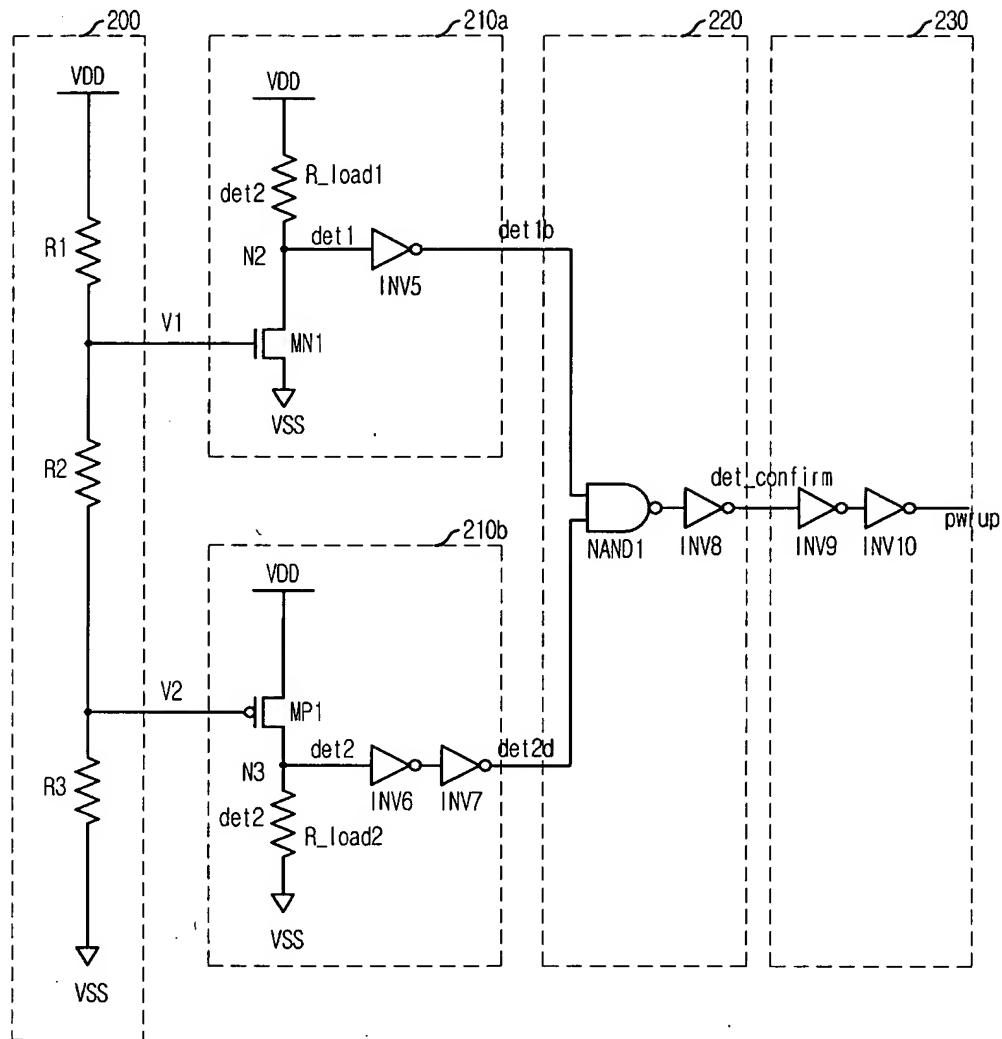
【도 1】



【도 2】



【도 3】



【도 4】

